

PRIOR ART DOCUMENT

JP-A 56-146181

Published Date: November 13, 1981

Translation of the Relevant Part

Amended Claim 1

A CRT display comprising: m memories each for storing data of an amount of $1/M$ screen; selecting circuits for selecting and switching read address and write address to be supplied to each of said memories; and a control circuit for making a decision as to whether to gain access to each of said memories and whether to carry out read or write in response to part of a read address signal and write address signal in conjunction with a signal indicating presence of write data, and for supplying a control signal to said memories and said selecting circuits, wherein while one of said memories is making read operation, another of said memories makes write operation.

2

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑪ 特許出願公開
昭56—146181

⑥ Int. Cl.³
G 09 G 1/06

識別記号

庁内整理番号
7013—5C

⑬ 公開 昭和56年(1981)11月13日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ CRTディスプレイ装置

青梅市末広町2丁目9番地東京
芝浦電気株式会社青梅工場内

⑯ 特 願 昭55—49156
⑰ 出 願 昭55(1980)4月16日
⑱ 発 明 者 吉井二郎

⑲ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

CRTディスプレイ装置

2. 特許請求の範囲

- (1) n文字表示可能なCRTディスプレイ装置において、1画面のm分のn文字分のデータを格納するm個のメモリと、この各メモリに対して与える読出しアドレスと書込みアドレスを選択し切換えるm個の選択回路と、読出しアドレス信号及び書込みアドレス信号の一部と書込みデータの存在を示す信号とにより前記各メモリをアクセスするか及び読出しか書込みかを判断し前記各メモリ及び前記各選択回路に対して制御信号を与えるm個の制御回路とを具備し、1つのメモリが読出し動作中にこれと並行して他のメモリにて書込み動作を行なうことを特徴とするCRTディスプレイ装置。
- (2) 1画面の2分の1文字分のデータを格納する2個のメモリを具備したことを特徴と

する特許請求の範囲第1項記載のCRTディスプレイ装置。

- (3) メモリに文字コードを格納したことを特徴とする特許請求の範囲第1項及び第2項記載のCRTディスプレイ装置。
- (4) メモリにドットパターンを格納したことを特徴とする特許請求の範囲第1項及び第2項記載のCRTディスプレイ装置。

3. 発明の詳細な説明

本発明は、ラスタースキャン方式のCRTディスプレイ装置に関し、特に表示情報を変更する場合にリフレッシュメモリへのデータ書込みを高速にしたCRTディスプレイ装置に関する。

従来、CRTディスプレイ装置に文字を表示する場合、毎秒50回～60回画面全体の表示情報をリフレッシュメモリから読出し、表示しなければならぬ。もし画面の表示内容を変更する場合には、この様に頻度の高いリフレッシュメモリからの読出し動作が行な

特開昭56-146181(2)

われている状態の間に、リフレッシュメモリへ新しい表示情報を書込む必要が生じる。このリフレッシュメモリへの新しい表示情報を書込む方法として、次のような方法がある。第1に、読出し動作を一時中断して新しい表示情報を書込む方法がある。この場合には書込み速度は速いが、表示を一時中断しているため画面がちらついてしまう。第2に、表示の必要のない時間帯、即ち走査線の水平及び垂直帰線期間内にのみ新しい表示情報の書込みを行なう方法がある。この場合には非表示期間に書込みを行なうので画面のちらつきはないが、書込みの待ち時間が多いために書替え速度が遅くなる。よってCPUの処理速度の低下を招く。第3に、リフレッシュメモリのサイクルタイムが1文字幅の表示時間の2分の1以下である場合に、1文字幅の表示時間内にリフレッシュメモリを2サイクル動作させ、前半の1サイクルは書込み用、後半の1サイクルを次に表示すべき情報の読出し用

のサイクルに割当てする方法がある。上記第1及び第2の方法よりも、この第3の方法を実施できることがより良い。しかし、リフレッシュメモリのサイクルタイムが、1文字幅の表示時間の2分の1以下にならないとこの第3の方法は実施できない。

本発明はこれら従来の欠点を除去し、リフレッシュメモリへの書込み速度を速く、しかも画面のちらつきの無いCRTディスプレイ装置を提供することを目的とする。

第1図は本発明の一実施例を示すブロック図である。同図において、符号(9)で示すものは第1のリフレッシュメモリでCRTの2分の1画面分の文字コードを格納している。同じく符号(15)で示すものは第2のリフレッシュメモリで、CRTの2分の1画面分の文字コードを格納している。符号(6)及び(12)で示すものは、各々第1及び第2のリフレッシュメモリ(9)、(15)の読出し、書込みを制御する第1及び第2の制御回路である。符号

(4)及び(10)で示すものはセレクトスイッチ、符号(16)で示すものはキャラクタセネレータ、符号(17)で示すものは並直列変換回路、符号(18)で示すものは陰極線管(CRT)である。第2図は第1図に示した第1の制御回路(6)の具体例を示す論理回路図、第3図は第1図に示した第2の制御回路(12)の具体例を示す論理回路図である。

以下第1図乃至第3図を用いて本発明の一実施例を詳細に説明する。先ず第1のリフレッシュメモリ(9)にはアドレスの奇数番地に対応する文字コードが格納され、これに対して第2のリフレッシュメモリ(15)にはアドレスの偶数番地に対応する文字コードが格納されているものと仮定し、以下の説明を続ける。今、奇数番地の内容を表示(リフレッシュ)する時刻に偶数番地の内容を書替える要求がある場合を考える。即ちリードアドレス(3)は奇数番地を示し、またライトアドレス(2)は偶数番地を示している。リードアドレス(3)が奇

数のためリードアドレス(3)の最下位ビット(19)が"1"となる。またライトアドレス(2)が偶数なのでライトアドレス(2)の最下位ビット(21)が"0"となる。またライトデータ(1)の存在の有無を示すビット(20)が"1"となる。従ってAND回路(24)では、インバータ(22)を介して得た入力が"0"なので出力は"0"となる。OR回路(25)では出力が"1"となる。次にメモリサイクルタイミング信号(23)が"1"となるとNAND回路(26)では出力が"0"となりメモリ選択信号(8)として第1のリフレッシュメモリ(9)に与えられる。NAND回路(27)では出力が"1"となり、ライトイネーブル信号(7)として第1のリフレッシュメモリ(9)に与えられ、セレクト信号(5)としてセレクトスイッチ(4)に与えられる。以上のことから第1のリフレッシュメモリ(9)は選択されて、セレクトスイッチ(4)から与えられるリードアドレス(3)を用いて読出し動作を行なう。この第1のリフ

レッシュメモリ(9)から読出された文字コードはキャラクタセネレータ(16)に与えられる。キャラクタセネレータ(16)からは、文字コードに対応するドットパターンが並直列変換回路(17)に出力される。並直列変換回路(17)では、ドットパターンを直列に変換してC R T (18)へ与えてC R T上に必要な文字を表示させる。

一方A N D回路(30)の出力は"1"となり、O R回路(31)の出力は"1"となる。次にメモリサイクルタイミング信号(23)が"1"となると、N A N D回路(32)の出力は"0"となり、メモリ選択信号(14)として第2のリフレッシュメモリ(15)へ与える。N A N D回路(33)では出力が"0"となり、ライトイネーブル信号(13)として第2のリフレッシュメモリ(15)へ与えられ、セレクト信号(11)としてセレクトスイッチ(10)へ与えられる。以上のことから第2のリフレッシュメモリ(15)は選択されるとともにセ

レクトスイッチ(10)からライトアドレス(2)が与えられるので、第1のリフレッシュメモリ(9)の読出し動作と並行して文字コードであるライトデータ(1)の書込み動作を行なうことができる。また、偶数番地の内容を表示する時刻に奇数番地の内容を書替える要求がある場合には、以上の動作の逆の動作が実行される。それにより第1のリフレッシュメモリ(9)は書込み動作を行ない、第2のリフレッシュメモリは読出し動作を行なう。

奇数番地の内容を表示する時刻に書替えの要求がない場合。リードアドレス(3)は奇数番地を示し、その最下位ビット(19)が"1"となる。O R回路(25)の出力は"1"となる。A N D回路(24)ではビット(20)が"0"のため出力は"0"となる。メモリサイクルタイミング信号(23)が"1"となるとN A N D回路(26)の出力が"0"となる。N A N D回路(27)の出力は"1"となる。またO R回路(31)、A N D回路(30)とも

に出力は"0"となる。メモリサイクルタイミング信号(23)が"1"となると、N A N D回路(32)、N A N D回路(33)ともに出力に"1"となる。従って第1のリフレッシュメモリ(9)が読出し動作を行なう。このとき第2のリフレッシュメモリ(15)は何も動作をしない。偶数番地の内容を表示する時刻に替え要求がない場合には、以上の動作の逆の動作が実行される。

また、奇数番地の内容を表示する時刻に奇数番地の内容を書替える要求がある場合、または偶数番地の内容を表示する時刻に偶数番地の内容を書替える要求がある場合には、読出し動作が優先されて実行される。書込み動作は行なわない。

以上ではリフレッシュメモリに文字コードを格納している場合について述べたが、表示用ドットパターンを格納してもよい。この場合には読出したドットパターンを直接並直列変換回路(17)に転送すればよい。また一面

面分の文字コード(またはドットパターン)を2つのリフレッシュメモリに分割して格納したが、これに限らず仕様に合せて適宜分割すればよい。

以上の説明で明らかなように、本発明によればリフレッシュメモリへの書込みは2文字表示期間以内に完了させることができ、高速でしかも画面のちらつきのない表示状態で表示文字の書替えのできるC R Tディスプレイ装置が提供できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図に示した第1の制御回路の具体例を示す論理回路図、第3図は第1図に示した第2の制御回路の具体例を示す論理図である。

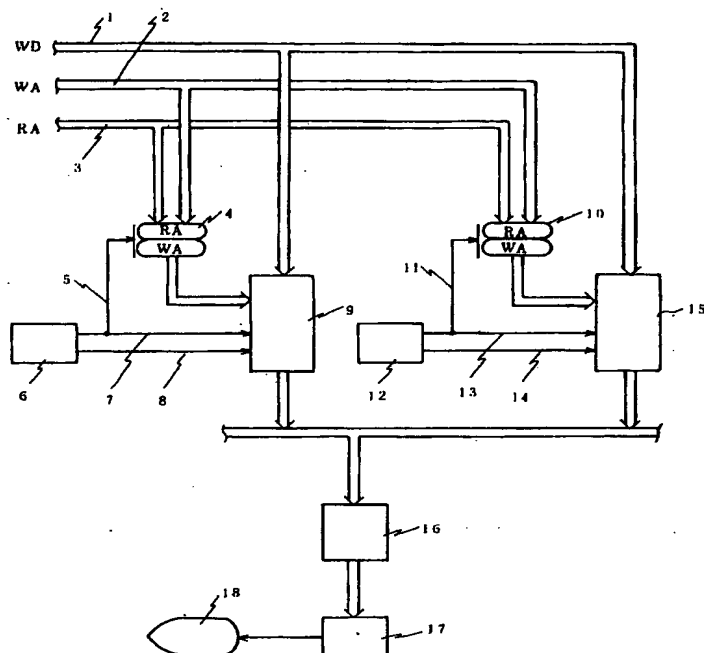
- (4) (10)セレクトスイッチ
- (6)第1の制御回路
- (12)第2の制御回路
- (9)第1のリフレッシュメモリ

(15).....第2のリフレッシュメモリ

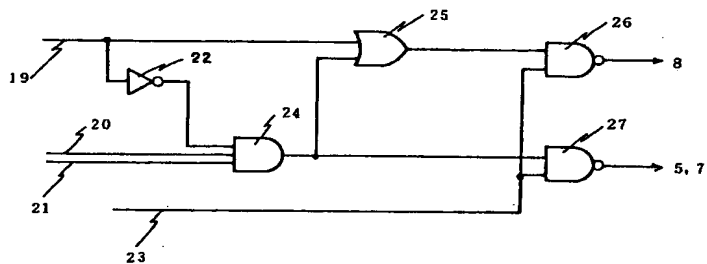
第 1 図

(7317) 代理人 井 堀 士 則 近 應 佑

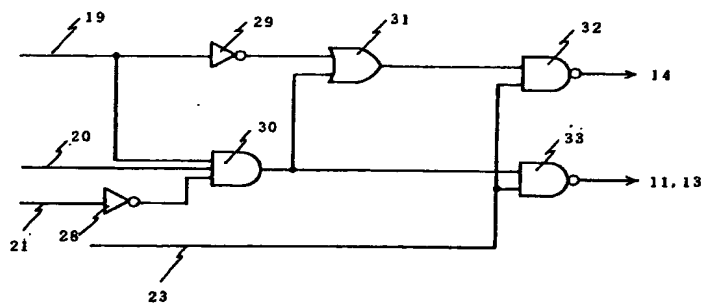
(7801) 代理人 井 堀 士 山 下 一



第 2 図



第 3 図



昭 60 1. 22 発行

特許法第17条の2の規定による補正の掲載

手 続 補 正 書(自発)

昭和 59. 8. 29 日

昭和 55 年特許願第 49156 号(特開昭 56-146181 号 昭和 56 年 11 月 13 日 発行 公開特許公報 56-1462 号掲載)については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 6(2)

特 許 庁 長 官 殿

Int. Cl.	識別記号	庁内整理番号
G09C 1/06		7923-5C

1. 事件の表示

特願昭 55-49156 号

2. 発明の名称

CRTディスプレイ装置

3. 補正をする者

事件との関係 特 許 出願人
(307) 株式会社 東芝

4. 代 理 人

〒105

東京都港区芝浦一丁目1番1号

株式会社東芝 本社事務所内

(7317) 弁理士 則近 憲 佑

5. 補正命令の日付

昭和 年 月 日(発送日)

6. 補正の対象

明細書の特許請求の範囲の欄

7. 補正の内容

列紙の通り 訂正 密 封

特許請求の範囲

- (1) CRTディスプレイ装置において、1/M画面分のデータを格納するm個のメモリと、この各メモリに対して与える読出しアドレスと書込みアドレスを選択し切換える選択回路と、読出しアドレス信号及び書込みアドレス信号の一部と書込みデータの存在を示す信号とにより前記各メモリをアクセスするか及び読出しか書込みかを判断し前記各メモリ及び前記各選択回路に対して制御信号を与える制御回路とを具備し、1つのメモリが読出し動作中にこれと並行して他のメモリにて書込み動作を行なうことを特徴とするCRTディスプレイ装置、
- (2) 1/2画面分のデータを格納する2個のメモリを具備したことを特徴とする特許請求の範囲第1項記載のCRTディスプレイ装置、
- (3) メモリに文字コードを格納したことを特徴とする特許請求の範囲第1項及び第2項記載のCRTディスプレイ装置。

- (4) メモリにドットパターンを格納したことを特徴とする特許請求の範囲第1項及び第2項記載のCRTディスプレイ装置。